一种基于FPGA的10Gbps以太网帧CRC计算方法

高利杰[1]　吴限光[2]
中电科思仪科技股份有限公司

[摘　要]循环冗余校验（CRC）是数字通信中一种常用的数据校验算法，在以太网中，采用FCS（CRC32）对以太网帧进行校验，保证以太网帧在传输过程中的正确性。10Gbps以太网测试仪中，采用32bit或64bit位宽来生成以太网数据帧，通过高速收发器将并行数据进行并串转换为10Gbps的信号发出，以太网测试仪通常具备CRC错误插入和校验的功能，本文提出了一种基于FPGA的64bit位宽的以太网帧FCS计算方法，采用硬件的方法计算FCS提高了以太网测试仪的发送数据线速。

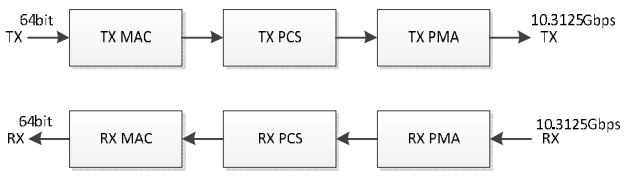
[关键词]循环冗余校验；以太网帧
【DOI】10.12252/j.issn.2096-6288.2021.12.155

引言

循环冗余校验（CRC）工作原理：循环冗余校验是一种根据网上数据包或计算机文件等数据产生简短固定位数校验码的一种散列函数，主要用来检测或校验数据传输或者保存后可能出现的错误。它是利用除法及余数的原理来做错误侦测的。在实际应用中，发送方使用特定公式计算出被传送数据所含信息的一个值，并将此值附在被传送数据后，接收方则对同一数据进行相同的计算，应得到相同的结果，如果两个CRC结果不一致，则说明发送中出现了差错。

1 方案设计及工作原理

基于以太网测试仪的需求，整个CRC计算过程主要由并行公式生成和硬件逻辑实现两个步骤，并行公式生成通过串行CRC计算公式来迭代生成相应位宽的CRC计算公式，以太网协议中数据帧的最小数据单位为字节，标准以太网帧的数据长度为64字节～1518字节，10Gbps以太网实现原理如下图所示，进行以太网数据发送时，由于FPGA处理速度的限制，无法直接产生10Gbps数据，需要进行降速处理，每时钟生成64bit的并行数据，将并行数据通过并串转换和64B/66B编码转化为速率达到10Gbps的串行数据，由高速收发器发出。接收端由高速收发器将接收到的10Gbps的串行数据进行64B/66B解码和串行转换，转换为64bit的并行数据由FPGA进行处理。因此，为计算10Gbps以太网帧FCS，需要分别生成8、16、24、32、40、48、56、64八种不同位宽的CRC计算公式。硬件逻辑实现将生成的CRC并行计算公式用硬件语言实现。



1.1并行公式生成

以太网帧使用CRC32对以太网帧数据进行校验，CRC32多项式为crc[31：0]=1+x^1+x^2+x^4+x^5+x^7+x^8+x^10+x^11+x^12+x^16+x^22+x^23+x^26+x^32，通过进行公式迭代，生成64bit位宽的CRC并行计算公式。以太网帧数据以字节为单位，标准以太网帧的帧长为64～1518字节，采用64bit进行CRC计算会面临最后一个时钟数据长度不足64bit的情况，最后一个时钟的数据为8bit的整数倍，因此需要同时生成位宽分别为8、16、24、32、40、48、56的CRC并行计算公式，以对最后一个时钟的以太网帧数据进行CRC计算。以位宽为8bit为例，生成公式如下：

crc_out[0]=crc_in[24]^crc_in[30]^data_in[0]^data_in[6]；

crc_out[1]=crc_in[24]^crc_in[25]^crc_in[30]^crc_in[31]^data_in[0]^ data_in[1]^ data_in[6]^data_in[7]；

crc_out[2]=crc_in[24]^crc_in[25]^crc_in[26]^crc_in[30]^crc_in[31]^ data_in[0]^ data_in[1]^data_in[2]^data_in[6]^data_in[7]；

crc_out[3]=crc_in[25]^crc_in[26]^crc_in[27]^crc_in[31]^data_in[1]^data_in[2]^data_in[3]^data_in[7]；

…

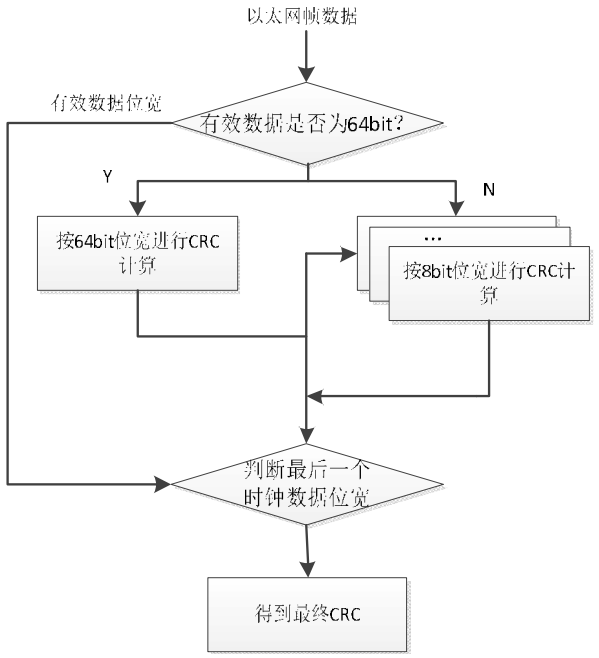
crc_out[30]=crc_in[22]^crc_in[28]^crc_in[31]^data_in[4]^data_in[7]；

crc_out[31]=crc_in[23]^crc_in[29]^data_in[5]；

上式中，crc_out为生成的CRC计算结果，crc_in为位宽为64bit的CRC计算模块生成的CRC计算结果，data_in为输入的数据。

1.2 硬件逻辑实现

以太网帧CRC计算流程如右图所示。首先对收到的以太网帧有效数据进行判断，以太网的数据应包括以下几部分：1、以太网帧数据，位宽为64bit；2、数据有效位数指示信号，为宽为8bit，指示64bit的以太网数据中实际有效的位数；3、以太网帧开始信号，指示数据是否为以太网的头部数据；4、以太网帧结束信号，指示数据是否为以太网的尾部数据。只有包含以上四部分数据，才能对以太网帧数据进行准确CRC计算。



由数据实际长度判断模块判断以太网数据是否为64bit，如有效数据为64bit，按照64bit并行CRC计算公式进行64bit CRC计算，得到最终的CRC计算结果，如有效位宽不足64bit，则按有效数据的位数将以太网数据和64bit并行CRC计算得到的CRC结果送入相应位宽的CRC计算模块，由以太网帧有效数据和64bit位宽生成的CRC计算得到相应的CRC。最后根据最后一个时钟的位宽选择相应模块产生的CRC计算结果作为最终的CRC计算结果。

2 CRC计算结果分析

设计采用verilog硬件描述语言实现，在设计中，tdata代表以太网数据，tkeep代表以太网数据中的有效位数，tlast代表以太网数据最后一个时钟数据指示位，tvalid代表以太网数据是否有效，crc_out代表输出的CRC计算结果，

crc_g代表输出的CRC有效。仿真结果如下图所示：

在仿真中，分别计算两个以太网数据帧CRC（为了便于显示，实际数据长度小于标准以太网帧，但不影响验证计算结果），第一个以太网帧数据为1122334455667788a1b569de78f78965965436745efcda，最终计算得到CRC为12383c2d，第二个以太网帧数据为3296574acde56e56eee8964256dadc784321，最终计算得到CRC为3e086736。两次CRC计算结果均与实际值相符。

参考文献

[1]肖艳艳，何晓雄.基于FPGA的CRC算法的串行和并行实现[J].合肥工业大学学报（自然科学版），2016，39（10）：1362-1366

[2]李永基，魏文军.基于LFSR的CRC校验码在FPGA上的实现[J].兰州交通大学学报，2015，34（6）：91-94

[3]常天海胡鉴.基于FPGA的CRC并行算法研究与实现[J].微处理机2010（2）：45－48.

[4]樊昌信，曹丽娜.通信原理[M].6版.北京：国防工业出版

[5]郭瑛，俞宗佐. 基于FPGA的循环冗余校验模块设计[J].内蒙古大学学报（自然科学版），2010，41（4）：417－420.